

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-203901

(P2002-203901A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl.⁷
H 0 1 L 21/82

識別記号

F I
H 0 1 L 21/82

テ-マ-ト*(参考)
F 5 F 0 6 4

審査請求 未請求 請求項の数35 O L (全 16 頁)

(21)出願番号 特願2000-399222(P2000-399222)

(22)出願日 平成12年12月27日(2000.12.27)

(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1
(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 木村 亨
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

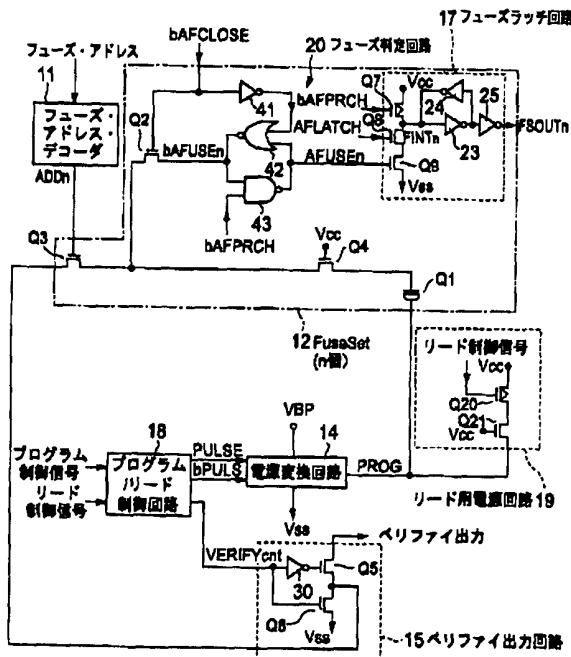
最終頁に続く

(54)【発明の名称】 フューズ回路

(57)【要約】

【課題】 安定したリード動作を得るために充分な読み出し電流を確保できるフューズ回路を提供することを目的としている。

【解決手段】 複数個の電気フューズ素子Q1の破壊と読み出しを選択的に行うフューズ回路において、フューズ素子破壊手段14による電気フューズの破壊時及び読み出し手段11, 12, 19による電気フューズ素子の破壊／非破壊状態の読み出し時に、電気フューズ素子をプログラム（電気フューズ素子を破壊）する時の電流方向とリード（電気フューズ素子の破壊／非破壊状態の読み出し）する時の電流方向を同一にすることを特徴としている。これによって、充分な読み出し電流を確保でき、電気フューズ素子からの読み出し時に安定した動作が得られる。



1

【特許請求の範囲】

【請求項1】 複数個の電気フューズ素子の破壊と、これら電気フューズ素子の破壊／非破壊状態の読み出しを選択的に行うフューズ回路であって、

電気フューズ素子を破壊するフューズ素子破壊手段と、前記電気フューズ素子の破壊／非破壊状態を読み出す読み出し手段とを具備し、

前記フューズ素子破壊手段における電気フューズ素子を破壊するための電流方向と前記読み出し手段における電気フューズ素子の破壊／非破壊状態を読み出すための電流方向を同一にしたことを特徴とするフューズ回路。

【請求項2】 前記フューズ素子破壊手段による前記電気フューズの破壊時及び前記読み出し手段による前記電気フューズ素子の破壊／非破壊状態の読み出し時に、前記電気フューズ素子の耐圧の高い側から電圧を印加することを特徴とする請求項1に記載のフューズ回路。

【請求項3】 前記電気フューズ素子はキャパシタであり、このキャパシタの一方の電極は半導体基板中に形成されたウェル領域からなり、前記ウェル領域は複数個のキャパシタで共用され、前記フューズ素子破壊手段による前記キャパシタの破壊時及び前記読み出し手段による前記キャパシタの破壊／非破壊状態の読み出し時に、前記ウェル領域に電圧を印加することを特徴とする請求項1または2に記載のフューズ回路。

【請求項4】 前記電気フューズ素子はトレンチキャパシタであり、このトレンチキャパシタは、半導体基板中に形成されたウェル領域からなる第1電極と、前記半導体基板に前記ウェル領域を貫通して設けられたトレンチの内壁に形成されたキャパシタ絶縁膜と、前記トレンチに埋め込まれた導電層からなる第2電極とを有し、前記ウェル領域は複数個のキャパシタで共用され、前記フューズ素子破壊手段による前記キャパシタの破壊時及び前記読み出し手段による前記キャパシタの破壊／非破壊状態の読み出し時に、前記第1電極に電圧を印加することを特徴とする請求項1または2に記載のフューズ回路。

【請求項5】 前記読み出し手段は、前記電気フューズ素子に電流を流す電流供給手段と、前記電気フューズ素子を介して流れる電流の大小を検知して電気フューズ素子の破壊／非破壊状態を判断する判定手段とを備え、前記電流供給手段と前記判定手段は、少なくとも前記電気フューズ素子の破壊／非破壊状態を読み出す時に動作させることを特徴とする請求項1乃至4いずれか1つの項に記載のフューズ回路。

【請求項6】 前記電流供給手段は、定電圧を発生する定電圧発生手段を備え、前記電気フューズ素子に定電圧を印加することで定電流を供給することを特徴とする請求項1乃至5いずれか1つの項に記載のフューズ回路。

【請求項7】 前記電流供給手段は、NMOSトランジスタの電流通路を介して電流を供給し、前記NMOSトランジスタのゲート電位は電源電圧と実質的に同じ電位

10

2

であることを特徴とする請求項1乃至5いずれか1つの項に記載のフューズ回路。

【請求項8】 前記電流供給手段は、NMOSトランジスタの電流通路を介して電流を供給し、少なくとも前記電気フューズ素子の破壊／非破壊状態の読み出し時に、前記NMOSトランジスタのゲート電位を、電源電圧に前記NMOSトランジスタのしきい値電圧を加えた値より高い電圧にし、且つ少なくとも前記電気フューズ素子の破壊時には電源電圧または接地電位にすることを特徴とする請求項1乃至5いずれか1つの項に記載のフューズ回路。

【請求項9】 前記判定手段は、前記電気フューズ素子が破壊されている時の電流を検知して初期状態から反転して状態を保持する状態保持手段と、読み出し開始信号に同期して前記状態保持手段の初期状態を確定する初期設定手段とを備え、前記電気フューズ素子の破壊／非破壊状態を判断することを特徴とする請求項1乃至8いずれか1つの項に記載のフューズ回路。

20

【請求項10】 前記判定手段は、前記電気フューズ素子が破壊されている時の電流を検知して初期状態から反転して状態を保持する状態保持手段と、前記電気フューズ素子を電気的に分離または接続する第1の分離接続手段とを備え、少なくとも前記電気フューズ素子の破壊／非破壊状態を読み出す時に、前記第1の分離接続手段により前記状態保持手段と前記電気フューズ素子とを電気的に接続することを特徴とする請求項1乃至8いずれか1つの項に記載のフューズ回路。

30

【請求項11】 前記判定手段の電源電圧は、前記電気フューズ素子が破壊されている時に、前記電気フューズ素子を介して前記判定手段に印加される電圧と実質的に同じ電圧であり、少なくともNMOSトランジスタのしきい値電圧未満の電位差であることを特徴とする請求項1乃至10いずれか1つの項に記載のフューズ回路。

40

【請求項12】 前記読み出し開始信号は、電源電圧及び内部電源電位が所定の電位になり、通常動作が開始可能になることにより出力される信号に同期して発生することを特徴とする請求項9に記載のフューズ回路。

40

【請求項13】 前記読み出し開始信号は、電源電圧投入後に、一連の通常動作毎に通常動作開始前に出力する内部信号を初期状態にする信号に同期して発生し、前記読み出し手段による前記電気フューズ素子の破壊／非破壊状態の読み出し動作は、一連の通常動作毎に通常動作開始前に行うことを特徴とする請求項9に記載のフューズ回路。

50

【請求項14】 前記フューズ素子破壊手段は、電気フューズ素子を介して電気フューズ素子に高電圧もしくは大電流を印加するストレス印加手段と、前記電気フューズ素子を固定電位に短絡する短絡手段とを具備し、前記ストレス印加手段と前記短絡手段は、少なくとも前記電気フューズ素子の破壊を行う時に動作させることを特徴

とする請求項1乃至13いずれか1つの項に記載のフューズ回路。

【請求項15】 前記ストレス印加手段は、高電圧もしくは大電流を発生するストレス発生手段と、前記電気フューズ素子に前記ストレス発生手段で発生した高電圧もしくは大電流、または接地電位を選択的に印加する、もしくはフローティング状態にする状態設定手段とを備え、前記状態設定手段により前記電気フューズ素子の破壊時には電気フューズ素子に前記ストレス発生手段で発生した高電圧もしくは大電流を印加し、前記電気フューズ素子の破壊／非破壊状態の読み出し時にはフローティング状態にし、通常動作時には接地電位にすることを特徴とする請求項14に記載のフューズ回路。

【請求項16】 前記ストレス発生手段は、一定の電位を発生する電位発生手段と備え、少なくとも前記電気フューズ素子の破壊／非破壊状態の読み出し時には、前記電流供給手段が発生する電位と実質的に同電位か、P N接合の順方向バイアスのしきい値電圧未満の電位差であることを特徴とする請求項15に記載のフューズ回路。

【請求項17】 前記フューズ素子破壊手段は、前記ストレス印加手段と反対側の電気フューズ素子の端子に一定の電位を印加する定電位印加手段と、前記定電位印加手段と前記電気フューズ素子を電気的に分離または接続する第2の分離接続手段とを備え、前記電気フューズ素子の破壊前に前記ストレス印加手段と反対側の電気フューズ素子の端子を一定電位に充電した後、前記電気フューズ素子の破壊動作を行うことを特徴とする請求項15に記載のフューズ回路。

【請求項18】 複数個の電気フューズ素子の破壊と、これら電気フューズ素子の破壊／非破壊状態の読み出しを選択的に行うフューズ回路であって、

電気フューズ素子を破壊するフューズ素子破壊手段と、前記電気フューズ素子の破壊／非破壊状態を読み出す読み出し手段と、

前記電気フューズ素子の破壊状態を確認する破壊確認手段とを具備し、前記フューズ素子破壊手段における電気フューズ素子を破壊するための電流方向、前記読み出し手段における電気フューズ素子の破壊／非破壊状態の読み出すための電流方向、及び前記破壊確認手段における電気フューズ素子の破壊状態を確認するための電流方向をそれぞれ同一にしたことを特徴とするフューズ回路。

【請求項19】 前記フューズ素子破壊手段による前記電気フューズの破壊時、前記読み出し手段による前記電気フューズ素子の破壊／非破壊状態の読み出し時、及び前記破壊確認手段による前記電気フューズ素子の破壊状態の確認時に、前記フューズ素子の耐圧の高い側から電圧を印加することを特徴とする請求項18に記載のフューズ回路。

【請求項20】 前記電気フューズ素子はキャパシタで

あり、このキャパシタの一方の電極は半導体基板中に形成されたウェル領域からなり、前記ウェル領域は複数個のキャパシタで共用され、前記フューズ素子破壊手段による前記キャパシタの破壊時及び前記読み出し手段による前記キャパシタの破壊／非破壊状態の読み出し時に、前記ウェル領域に電圧を印加することを特徴とする請求項18または19に記載のフューズ回路。

【請求項21】 前記電気フューズ素子はトレンチキャパシタであり、このトレンチキャパシタは、半導体基板中に形成されたウェル領域からなる第1電極と、前記半導体基板に前記ウェル領域を貫通して設けられたトレンチの内壁に形成されたキャパシタ絶縁膜と、前記トレンチに埋め込まれた導電層からなる第2電極とを有し、前記ウェル領域は複数個のキャパシタで共用され、前記フューズ素子破壊手段による前記キャパシタの破壊時及び前記読み出し手段による前記キャパシタの破壊／非破壊状態の読み出し時に、前記第1電極に電圧を印加することを特徴とする請求項18または19に記載のフューズ回路。

【請求項22】 前記破壊確認手段は、前記電気フューズ素子に電流を流す第1の電流供給手段と、前記電気フューズ素子を固定電位に短絡する短絡手段とを備え、前記第1の電流供給手段と前記短絡手段は、少なくとも電気フューズ素子の破壊／非破壊状態を確認する時に動作させることを特徴とする請求項18乃至21いずれか1つの項に記載のフューズ回路。

【請求項23】 前記読み出し手段は、電気フューズ素子に電流を流す第2の電流供給手段と、電気フューズ素子を介して流れる電流の大小を検知して電気フューズ素子の破壊／非破壊状態を判断する判定手段とを備え、前記第2の電流供給手段と前記判定手段は、少なくとも電気フューズ素子の破壊／非破壊状態を読み出しうる時に動作させることを特徴とする請求項18乃至22いずれか1つの項に記載のフューズ回路。

【請求項24】 前記第2の電流供給手段は、定電圧を発生する定電圧発生手段を備え、電気フューズ素子に定電圧を印加することで定電流を供給することを特徴とする請求項23に記載のフューズ回路。

【請求項25】 前記第2の電流供給手段は、NMOSトランジスタの電流通路を介して電流を供給し、前記NMOSトランジスタのゲート電位は電源電圧と実質的に同じ電位であることを特徴とする請求項23に記載のフューズ回路。

【請求項26】 前記第2の電流供給手段は、NMOSトランジスタの電流通路を介して電流を供給し、少なくとも電気フューズ素子の破壊／非破壊状態の読み出し時と電気フューズ素子の破壊状態の確認時には、前記NMOSトランジスタのゲート電位を、電源電圧に前記NMOSトランジスタのしきい値電圧を加えた値より高い電圧にし、且つ少なくとも電気フューズ素子の破壊時には

電源電圧または接地電位にすることを特徴とする請求項23に記載のフューズ回路。

【請求項27】前記判定手段は、電気フューズ素子が破壊されている時の電流を検知して初期状態から反転し状態を保持する状態保持手段と、読み出し開始信号に同期して前記状態保持手段の初期状態を確定する初期設定手段とを備え、前記電気フューズ素子の破壊／非破壊状態を判断することを特徴とする請求項18乃至26いずれか1つの項に記載のフューズ回路。

【請求項28】前記判定手段は、前記電気フューズ素子が破壊されている時の電流を検知して初期状態から反転し状態を保持する状態保持手段と、電気フューズ素子を電気的に分離または接続する第1の分離接続手段とを備え、少なくとも電気フューズ素子の破壊／非破壊状態を読み出す時に、前記第1の分離接続手段により前記状態保持手段と電気フューズ素子とを電気的に接続することを特徴とする請求項18乃至26いずれか1つの項に記載のフューズ回路。

【請求項29】前記判定手段の電源電圧は、電気フューズ素子が破壊されている時に電気フューズ素子を介して、前記状態保持手段に印加される電圧と実質的に同じ電圧であり、少なくともNMOSトランジスタのしきい値電圧未満の電位差であることを特徴とする請求項18乃至28いずれか1つの項に記載のフューズ回路。

【請求項30】前記読み出し開始信号は、電源電圧及び内部電源電位が所定の電位になり、通常動作が開始可能になることにより出力される信号に同期して発生することを特徴とする請求項27に記載のフューズ回路。

【請求項31】前記読み出し開始信号は、電源電圧投入後に、一連の通常動作毎に通常動作開始前に出力する内部信号を初期状態にする信号に同期して発生し、前記読み出し手段による読み出し動作も一連の通常動作毎に通常動作開始前に行うことの特徴とする請求項27に記載のフューズ回路。

【請求項32】前記フューズ素子破壊手段は、電気フューズ素子を介して電気フューズ素子に高電圧もしくは大電流を印加するストレス印加手段と、前記フューズ素子を固定電位に短絡する短絡手段とを備え、前記ストレス印加手段と前記短絡手段は、少なくとも電気フューズ素子の破壊を行う時に動作させることを特徴とする請求項18乃至31いずれか1つの項に記載のフューズ回路。

【請求項33】前記ストレス印加手段は、高電圧もしくは大電流を発生するストレス発生手段と、前記電気フューズ素子にストレス印加手段で発生した高電圧もしくは大電流、または接地電位を選択的に印加する、もしくはフローティング状態にする状態設定手段とを備え、前記状態設定手段により前記電気フューズ素子の破壊時には電気フューズ素子に前記ストレス発生手段で発生した高電圧もしくは大電流を印加し、前記電気フューズ素子

の破壊／非破壊状態の読み出し時及び電気フューズ素子の破壊状態の確認時にはフローティング状態にし、通常動作時には接地電位にすることを特徴とする請求項32に記載のフューズ回路。

【請求項34】前記ストレス発生手段は、一定の電位を発生する電位発生手段を備え、少なくとも前記電気フューズ素子の破壊／非破壊状態の読み出し時及び前記電気フューズ素子の破壊状態の確認時には、前記電流供給手段が発生する電位と実質的に同電位か、PN接合の順方向バイアスのしきい値電圧未満の電位差であることを特徴とする請求項33に記載のフューズ回路。

【請求項35】前記フューズ素子破壊手段は、前記ストレス印加手段と反対側の電気フューズ素子の端子に一定の電位印加する定電位印加手段と、前記定電位印加手段と前記電気フューズ素子を電気的に分離または接続する第2の分離接続手段とを備え、前記電気フューズ素子の破壊前に前記ストレス印加手段と反対側の電気フューズ素子の端子を一定電位に充電した後、電気フューズ素子の破壊動作を行うことを特徴とする請求項33に記載のフューズ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はフューズ回路に関し、特に電気フューズ素子からの読み出し時に安定した動作を得るために使用されるものである。

【0002】

【従来の技術】フューズ素子は、完成された半導体装置の回路構成を変更する1つの手段として広く用いられている。従来のフューズ素子は、メタルまたはポリシリコン等の材質で形成され、レーザー装置を用いて溶断するのが一般的な手法であった。しかし、レーザー光を照射してフューズ素子を溶断するため、フューズ素子が露出している状態でなければならず、例えばパッケージに封止した後では溶断できないという問題があった。

【0003】この問題を改善したのが電気フューズ素子である。電気フューズ素子は、フューズ素子にキャパシタもしくは高抵抗のポリシリコン等を用いて、入力ピンからの直接入力またはチップ内部の制御回路から高電圧を印加、もしくは大電流を流してフューズ素子を破壊するようにしたものである。

【0004】なお、狭義には高抵抗のポリシリコン等のように、通常は導通状態で破壊時には非導通になるフューズ素子を電気フューズ(electrical fuse)、キャパシタのように通常は非導通で破壊時に導通状態になるフューズ素子をアンチフューズ(anti fuse)と呼ぶこともあるが、ここでは広義に両者を電気フューズ素子と呼ぶことにする。

【0005】図7は、フューズ素子にキャパシタを使用した従来の電気フューズシステムの回路構成例を示している。この電気フューズシステムは、フューズ・アドレ

ス・デコーダ11、フューズセット(FuseSet)12、プログラム制御回路13、電源変換回路14及びペリファイ出力回路15等から構成されている。上記フューズ・アドレス・デコーダ11には、フューズ・アドレスが供給され、このフューズ・アドレス・デコーダ11から出力されるフューズ選択信号ADDnはフューズセット12に供給される。フューズセット12は、フューズ素子としてのキャパシタQ1、NMOSトランジスタQ2、Q3、Q4、フューズ判定回路16及びフューズラッチ回路17等から構成されており、必要とするフューズ素子の数(n個)だけ設けられている。

【0006】上記NMOSトランジスタQ3の電流通路の一端は上記ペリファイ出力回路15に接続され、電流通路の他端はNMOSトランジスタQ2、Q4の電流通路の一端に接続され、ゲートには上記フューズ・アドレス・デコーダ11から出力されるフューズ選択信号ADDnが供給される。上記NMOSトランジスタQ2のゲートには、フューズ判定回路切断信号bAFCLOSEが供給される。上記NMOSトランジスタQ4のゲートには電源Vccが接続され、電流通路の他端がキャパシタQ1の一方の電極に接続されている。

【0007】上記フューズ判定回路16は、ノアゲート21と NANDゲート22で構成されている。上記ノアゲート21の一方の入力端にはプリチャージ信号AFPRCHが供給され、他方の入力端は上記NMOSトランジスタQ2の電流通路の他端に接続される。上記NANDゲート22の一方の入力端にはフューズ判定回路切断信号bAFCLOSEが供給され、他方の入力端は上記ノアゲート21の出力端に接続され、出力端は上記NMOSトランジスタQ2の電流通路の他端に接続される。そして、このNMOSトランジスタQ2の電流通路の他端から出力される信号AFUSEnがフューズラッチ回路17に供給される。

【0008】上記フューズラッチ回路17は、電源Vccと接地点Vss間に電流通路が直列接続されたPMOSトランジスタQ7、NMOSトランジスタQ8、Q9及びインバータ23、24、25から構成されている。上記PMOSトランジスタQ7のゲートにはプリチャージ信号AFPRCHと逆相の信号bAFPRCHが、上記NMOSトランジスタQ8のゲートにはフューズラッチ信号AFLATChが、上記NMOSトランジスタQ9のゲートには上記フューズ判定回路16の出力信号AFUSEnがそれぞれ供給される。上記PMOSトランジスタQ7とNMOSトランジスタQ8の電流通路の接続点には、インバータ23の入力端及びインバータ24の出力端が接続される。上記インバータ23の出力端及び上記インバータ24の入力端はそれぞれ、インバータ25の入力端に接続される。そして、このインバータ25の出力端から信号FSOUTnが出力される。

【0009】一方、上記プログラム制御回路13は、ナ

10

20

30

40

ンドゲート26、27とインバータ28、29とから構成されている。上記 NANDゲート26の第1乃至第3の入力端にはそれぞれ、プログラムマイネーブル信号PROGen、プログラム制御回路選択信号BLOCKsel及びプログラムパルス制御信号PULSEcntが供給される。この NANDゲート26の出力信号bPULSEと、この信号をインバータ29で反転した信号PULSEとがそれぞれ、電源変換回路制御信号として上記電源変換回路14に供給される。また、上記 NANDゲート27の第1及び第2の入力端にはそれぞれ、上記プログラムマイネーブル信号PROGen及びプログラム制御回路選択信号BLOCKselが供給され、第3の入力端には上記プログラムパルス制御信号PULSEcntがインバータ28で反転されて供給される。この NANDゲート27から出力される信号VERIFYcntは、ペリファイ出力回路15に供給される。

【0010】また、上記電源変換回路14は、PMOSトランジスタQ10、Q11、Q14、Q15とNMOSトランジスタQ12、Q13、Q16、Q17で構成されている。上記トランジスタQ10～Q13の電流通路は、電源VBPと接地点Vss間に直列接続され、上記トランジスタQ14～Q17の電流通路は、電源VBPと接地点Vss間に直列接続されている。上記トランジスタQ10のゲートはトランジスタQ14、Q15の電流通路の接続点に接続され、上記トランジスタQ14のゲートはトランジスタQ10、Q11の電流通路の接続点に接続される。また、上記トランジスタQ11、Q12、Q15、Q16のゲートは電源Vccに接続される。上記トランジスタQ13のゲートには上記インバータ29から出力される電源変換回路制御信号PULSEが供給され、上記トランジスタQ17のゲートには上記 NANDゲート26から出力される電源変換回路制御信号bPULSEが供給される。そして、上記トランジスタQ15、Q16の電流通路の接続点から出力されるストレス信号FROGが、フューズ素子としてのキャパシタQ1の他方の電極に印加されるようになっている。

【0011】更に、上記ペリファイ出力回路15は、インバータ30とNMOSトランジスタQ5、Q6とから構成されている。上記各NMOSトランジスタQ5、Q6の電流通路の一端は接続されており、NMOSトランジスタQ6の電流通路の他端は接地点Vssに接続されている。上記NANDゲート27から出力される信号VERIFYは、NMOSトランジスタQ6のゲートに供給されるとともに、インバータ30で反転されてNMOSトランジスタQ5のゲートに供給される。そして、このNMOSトランジスタQ5の電流通路の他端からペリファイ出力を得るようになっている。

【0012】次に、上記のような構成において動作を説明する。

【0013】プログラム(フューズ素子の破壊)動作

50

は、プログラムしたいフューズ素子Q1のアドレスをフューズ・アドレス・デコーダ11に入力し、フューズ選択信号ADDnを“H”レベルにしてトランジスタQ3をオンさせることで、プログラムを行いたい電気フューズ素子Q1を選択する。この際、フューズ判定回路切断信号bAFCLOSEを“L”レベルにしてトランジスタQ2をオフさせ、フューズ判定回路16をフューズ素子Q1から電気的に分離する。次に、プログラムイネーブル信号PROGen、プログラム制御回路選択信号BLOCKsel及びプログラムパルス制御信号PULSEcntの各プログラム制御信号を“H”レベルにすることで、トランジスタQ6をオンさせ、電源VBPから接地点Vssに電流パスを確保し、ストレス信号PROGを立ち上げてフューズ素子Q1にストレスを印加する。この時、電源変換回路14の電源電位VBPがストレス電位になる。

【0014】また、ベリファイ（破壊確認）動作は、上記プログラム動作と同様にプログラムしたフューズ素子Q1を選択し、次にプログラム制御信号を入力するが、プログラム動作と異なるのは信号PULSEcntを“L”レベルにしてトランジスタQ5をオンさせ、電源変換回路14の接地点Vssとベリファイ出力間に電流パスを確保することである。ここでフューズ素子Q1が破壊されていればトランジスタQ5を介して接地点Vssとベリファイ出力との間にDC的な電流パスが発生するため、例えば外部パッド等で電流モニタが可能となる。

【0015】一方、リード（フューズ素子の破壊／非破壊状態の読み出し）動作は、通常、電源電圧Vccの立ち上がりと共にフューズ判定回路16のプリチャージ信号AFPRCHも“H”レベルにしておき、適当なタイミングで“L”レベルのパルスを与え、信号AFUSEnを“H”レベルに充電してラッチする。この時、信号ADDnは“L”レベル、信号bAFCLOSEは“H”レベルにしておく。また、同時に信号bAFPRCHが“L”レベルで、且つ信号AFLATCH（フューズラッチ信号）も“L”レベルのため、信号FINTも“H”レベルに充電されてラッチされる。信号AFUSEnと信号FINTがそれぞれ“H”レベルにラッチされると、信号AFPRCHは“L”（bAFPRCHは“H”）レベルになる。リード動作では、上記プログラム制御信号は全て“L”レベルのため、信号PROGは接地点Vssの電位になっているので、フューズ素子Q1が破壊状態の時には、信号AFUSEnは接地点Vssに導通して“L”レベルになり、フューズ素子Q1が非破壊状態の時には信号AFUSEnは“H”レベルを維持する。この信号AFUSEnの状態が確定した後に、信号AFLATCHに“H”レベルのパルス信号を与えると、フューズ素子Q1が破壊されている時には、信号FINTnは“H”レベルの状態を維持して信号F

SOUTnは“H”レベルを出力する。これに対し、非破壊時には信号FINTnは“L”レベルに反転し、信号FSOUTnは“L”レベルを出力する。

【0016】図8は、上記図7に示した回路におけるキャパシタQ1の構成例を示すもので、トレンチ型のメモリセルと同様な構造のトレンチキャパシタの断面図である。図8に示す如く、半導体基板（シリコン基板）31の深い位置には、埋設ウェル（buried well）からなる埋め込みプレート32が形成されるとともに、表面領域にSTI構造の素子分離領域33が形成されている。上記シリコン基板31の素子領域には、ディープトレンチ34が表面領域から上記埋め込みプレート32を貫通する深さまで形成されている。このディープトレンチ34の内壁にはキャパシタ絶縁膜35が形成され、埋め込み電極36で埋め込まれている。上記ディープトレンチ34の開口部近傍の基板31の表面領域には、n型拡散層37が設けられている。また、上記基板31上には、層間絶縁膜38が形成され、この層間絶縁膜38上にメタル配線40が形成されている。上記n型拡散層37上の層間絶縁膜38にはコンタクト39が形成され、上記埋め込み電極36が上記n型拡散層37及びコンタクト39を介して上記メタル配線40と電気的に接続される。

【0017】上記埋め込みプレート32はフューズ素子としてのキャパシタQ1の一方の電極に、キャパシタ絶縁膜35はキャパシタ絶縁膜に、埋め込み電極36は他方の電極にそれぞれ対応し、メタル配線40は上記キャパシタQ1の他方の電極に接続された配線にそれぞれ対応する。

【0018】ところで、上述した図7に示すような従来のフューズ回路におけるリード動作は、フューズ判定回路16の出力信号AFUSEnを、予め“H”レベルに充電しておき、フューズ素子Q1が破壊している場合に“L”レベルに引き抜き、出力AFUSEnを反転する回路構成のため、プログラム時にフューズ素子Q1に流れる電流（プログラム電流）の方向とリード時にフューズ素子に流れる電流（リード電流）の方向が逆方向になっている。この電流方向の相違は、回路動作上は問題ないが、フューズ素子であるキャパシタが例えば図8に示したような構造であると安定したリード動作を得るための充分な読み出し電流を確保するのが難しくなる。

【0019】この原因是、キャパシタの構造によっては電気フューズ素子破壊後の電流特性が順方向（破壊電流と同一方向）と逆方向（破壊電流と逆方向）で異なり、逆方向電流は順方向電流に比べ極めて小さく、且つ電流値のばらつきが大きいという現象に起因する。

【0020】すなわち、図8に示したトレンチキャパシタは、プログラム時には埋め込みプレート32に高電圧を印加してメタル配線40側を接地点Vssの電位に固定して破壊する（この時に流れる電流方向を順方向とする）が、リード時には埋め込みプレート32を接地点V

s s の電位に固定してメタル配線 40 側を "H" レベルに充電しておき、トレンチキャパシタの破壊状態（導通状態）を判断する（この時に流れる電流方向を逆方向とする）。この逆方向リード電流はコンマ数 μ A から数 μ A と小さく且つばらつきの範囲が大きく、電気フューズ素子として安定動作が望めないという問題がある。

【0021】

【発明が解決しようとする課題】上記のように従来のフューズ回路は、フューズ素子であるキャパシタの構造によっては安定したリード動作を得るために充分な読み出し電流を確保するのが難しくなるという問題があった。

【0022】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、安定したリード動作を得るために充分な読み出し電流を確保できるフューズ回路を提供することにある。

【0023】

【課題を解決するための手段】この発明のフューズ回路は、複数個の電気フューズ素子の破壊と、これら電気フューズ素子の破壊／非破壊状態の読み出しを選択的に行うフューズ回路であって、電気フューズ素子を破壊するフューズ素子破壊手段と、前記電気フューズ素子の破壊／非破壊状態を読み出す読み出し手段とを具備し、前記フューズ素子破壊手段における電気フューズ素子を破壊するための電流方向と前記読み出し手段における電気フューズ素子の破壊／非破壊状態を読み出すための電流方向を同一にしたことを特徴としている。

【0024】また、この発明のフューズ回路は、複数個の電気フューズ素子の破壊と、これら電気フューズ素子の破壊／非破壊状態の読み出しを選択的に行うフューズ回路であって、電気フューズ素子を破壊するフューズ素子破壊手段と、前記電気フューズ素子の破壊／非破壊状態を読み出す読み出し手段と、前記電気フューズ素子の破壊状態を確認する破壊確認手段とを具備し、前記フューズ素子破壊手段における電気フューズ素子を破壊するための電流方向、前記読み出し手段における電気フューズ素子の破壊／非破壊状態の読み出すための電流方向、及び前記破壊確認手段における電気フューズ素子の破壊状態を確認するための電流方向をそれぞれ同一にしたことを特徴としている。

【0025】上記のような構成によれば、電気フューズ素子をプログラム（電気フューズ素子を破壊）する時の電流方向とリード（電気フューズ素子の破壊／非破壊状態の読み出し）する時の電流方向を同一にするので、安定したリード動作を得るために充分な読み出し電流を確保できる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【第1の実施の形態】図1は、この発明の第1の実施の形態に係るフューズ回路について説明するためのもの

で、フューズ素子にキャパシタを使用した電気フューズシステムの回路構成例を示している。この電気フューズシステムは、フューズ・アドレス・デコーダ11、フューズセット（FuseSet）12、プログラム／リード制御回路18、電源変換回路14、ベリファイ出力回路15及びリード用電源回路19等から構成されている。

【0027】上記フューズ・アドレス・デコーダ11には、フューズ・アドレスが供給され、このフューズ・アドレス・デコーダ11から出力されるフューズ選択信号ADDnがフューズセット12に供給される。フューズセット12は、電気フューズ素子としてのキャパシタQ1、NMOSトランジスタQ2、Q3、Q4、フューズ判定回路20及びフューズラッチ回路17等から構成されており、必要とするフューズ素子の数（n個）だけ設けられている。また、上記キャパシタQ1は、図8に示したトレンチキャパシタと同様な構成になっている。

【0028】上記NMOSトランジスタQ3の電流通路の一端は上記ベリファイ出力回路15に接続され、電流通路の他端はNMOSトランジスタQ2、Q4の電流通路の一端に接続され、ゲートには上記フューズ・アドレス・デコーダ11から出力されるフューズ選択信号ADDnが供給される。上記NMOSトランジスタQ2のゲートには、フューズ判定回路切断信号bAFCLOSEが供給される。また、上記NMOSトランジスタQ4のゲートには電源Vccが接続され、電流通路の他端がキャパシタQ1の一方の電極に接続されている。

【0029】上記フューズ判定回路20は、インバータ41、ノアゲート42及び NANDゲート43で構成されている。上記インバータ41には上記フューズ判定回路切断信号bAFCLOSEが供給され、この出力信号がノアゲート42の一方の入力單に供給される。上記ノアゲート42の他方の入力端には、 NANDゲート43から出力される信号AFUSEnが供給される。一方、上記 NANDゲート43の一方の入力端には上記プリチャージ信号AFPRCHと逆相の信号bAFPRCHが供給され、他方の入力端には上記ノアゲート42から出力される信号bAFUSEnが供給されている。そして、この NANDゲート43から出力される信号AFUSEnがフューズラッチ回路17に供給される。

【0030】上記フューズラッチ回路17は、電源Vccと接地点Vs間に電流通路が直列接続されたPMOSトランジスタQ7、NMOSトランジスタQ8、Q9及びインバータ23、24、25とから構成されている。上記PMOSトランジスタQ7のゲートにはプリチャージ信号AFPRCHと逆相の信号bAFPRCHが、上記NMOSトランジスタQ8のゲートにはフューズラッチ信号AFLATCが、上記NMOSトランジスタQ9のゲートには上記フューズ判定回路16の出力信号AFUSEnがそれぞれ供給される。上記PMOSトランジスタQ7とNMOSトランジスタQ8の電流通

路の接続点には、インバータ23の入力端及びインバータ24の出力端が接続される。上記インバータ23の出力端及び上記インバータ24の入力端はそれぞれ、インバータ25の入力端に接続される。そして、このインバータ25の出力端から信号FSOUTnが出力されるようになっている。

【0031】一方、上記プログラム／リード制御回路18には、プログラム制御信号とリード制御信号が供給され、信号PULSEと信号bPULSEとがそれぞれ電源変換回路制御信号として上記電源変換回路14に供給される。また、このプログラム／リード制御回路18から出力される信号VERIFYcntは、ベリファイ出力回路15に供給される。

【0032】上記電源変換回路14は、電源VBPと接地点Vss間の電圧で動作し、ストレス信号PROGを、電気フューズ素子としてのキャパシタQ1の他方の電極に印加する。

【0033】また、上記ベリファイ出力回路15は、インバータ30とNMOSトランジスタQ5、Q6とから構成されている。上記各NMOSトランジスタQ5、Q6の電流通路の一端は接続されており、NMOSトランジスタQ6の電流通路の他端は接地点Vssに接続されている。上記 NANDゲート27から出力される信号VERIFYcntは、NMOSトランジスタQ6のゲートに供給されるとともに、インバータ30で反転されてNMOSトランジスタQ5のゲートに供給される。そして、このNMOSトランジスタQ5の電流通路の他端からベリファイ出力を得るようになっている。

【0034】更に、上記リード用電源回路19は、PMOSトランジスタQ20とNMOSトランジスタQ21とで構成されている。上記PMOSトランジスタQ20の電流通路の一端は電源Vccに接続され、ゲートにはリード制御信号が供給される。上記NMOSトランジスタQ21の電流通路の一端は上記PMOSトランジスタQ20の電流通路の他端に接続され、電流通路の他端は上記キャパシタQ1の他方の電極に接続され、ゲートには電源Vccが接続されている。

【0035】次に、上記のような構成において動作を説明する。

【0036】プログラム（フューズ素子の破壊）動作は、プログラムしたいフューズ素子Q1のアドレスをフューズ・アドレス・デコーダ11に入力してフューズ選択信号ADDnを“H”レベルにし、トランジスタQ3をオンすることで、プログラムを行いたい電気フューズ素子を選択する。同時に、フューズ判定回路切断信号bAFCLOSEを“L”レベルにして、トランジスタQ2をオフさせ、フューズ判定回路20をフューズ素子Q1から電気的に分離する。

【0037】次に、プログラム制御信号をプログラム／リード制御回路18に供給し、この回路18によりトランジスタQ6をオンさせて、VBPからVssに電流バスを確保するとともに、電源変換回路制御信号PULSE、bPULSEによりストレス信号PROGをVBP電位にしてフューズ素子Q1にストレスを印加する。この時、リード制御信号を“H”レベルにしてトランジスタQ20をオフさせることにより、リード用電源回路19が動作しないようにしておく。

【0038】また、ベリファイ（破壊確認）動作は、上記プログラム動作と同様に、ベリファイしたいフューズ素子Q1のアドレスをフューズ・アドレス・デコーダ11に入力して選択する。次に、プログラム制御信号を入力するが、プログラム動作と異なるのはリード制御信号でストレス信号PROGがフローティングになるように電源変換回路制御信号PULSE、bPULSEを電源変換回路14に入力し、同時にリード用電源回路19を動作させてストレス信号PROGを“H”レベル（この場合Vcc-VthN）に充電する。ここで、リード制御信号でトランジスタQ5をオンさせる回路構成にしておき、リード用電源回路19の電源Vccとベリファイ出力間に電流バスを確保する。この際、フューズ素子Q1が破壊されていればトランジスタQ5を介して電源Vccとベリファイ出力との間にDC的な電流バスが発生するため、例えば外部パッド等を用いて電流のモニタが可能となる。

【0039】一方、リード（フューズ素子の破壊／非破壊状態の読み出し）動作は、リード開始のタイミングでフューズ判定回路20へ与えるプリチャージ信号bAFPRCHとして“L”レベルのパルスを与え、信号AFUSEnを“H”レベルに充電し、信号bAFUSEnを“L”レベルにしてラッチする。このとき、フューズ選択信号ADDnは“L”レベル、フューズ判定回路切断信号bAFCLOSEは“H”レベルにしておく。また、同時に信号bAFPRCHが“L”レベルで且つフューズラッチ信号AFATCHも“L”レベルのため、信号FINTも“H”レベルに充電されラッチされる。信号AFUSEnと信号FINTがそれぞれ“H”レベルにラッチされると、信号bAFPRCHは“H”レベルになる。リード動作ではベリファイ動作と同様にリード制御信号によりストレス信号PROGを“H”レベル（この場合Vcc-VthN）に充電するような構成にしておくので、フューズ素子Q1が破壊状態の時には信号bAFUSEnは信号PROGに導通して“H”レベル（この場合Vcc-VthN）になり、フューズ判定回路20の状態を反転させて信号AFUSEnを“L”レベルにする。また、フューズ素子Q1が非破壊状態の時には信号bAFUSEnは“L”レベル、信号AFUSEnは“H”レベルを維持する。この信号AFUSEnの状態が確定した後に、信号AFATCHとして“H”レベルのパルス信号を与えると、フューズ素子Q1が破壊されている時には、信号FINTnが

40

40

40

40

50

“H”レベルの状態を維持して出力信号FSOUTnは“H”レベルとなるが、非破壊時には信号FINTrnは“L”レベルに反転し、出力信号FSOUTnは“L”レベルとなる。

【0040】上記のような回路構成により、リード動作時及びペリファイ動作時にフューズ素子Q1を流れる電流方向をプログラム動作時と同じにできるので、安定したりード動作を得るための充分な読み出し電流を確保でき、電気フューズシステムの動作の安定化が図れる。しかも、フューズ素子の破壊時及び読み出し時に、フューズ素子Q1の耐圧の高い側、すなわち埋め込みプレート（埋設ウェル）32から電圧を印加するので、電気フューズ素子の信頼性を向上でき、且つ回路的、パターン面積的に小さくできる。

【0041】なぜなら、一般的に半導体基板上に複数のキャパシタ素子を形成する場合、半導体基板上に形成されたウェル領域を共通電位にしてキャパシタ素子を形成する。ウェル領域には半導体基板への拡散（ジャンクションリーフ）等を防止するため、低濃度のn型もしくはp型の不純物をドープする。これに対して、絶縁膜を介した他方の電極側は抵抗成分を低減するために高濃度のn型もしくはp型の不純物をドープする。このように、半導体層で不純物濃度が異なるとき、不純物濃度が低いウェル領域から電圧を印加する方が絶縁膜を介した他方の電極側から電圧を印加するより耐圧が高くなる。

【0042】また、プログラムする時は、一方の電極に高電圧を印加し、他方の電極を接地点Vssに接続してフューズ素子の破壊を行うが、ウェル領域の絶縁膜を介した他方の電極側から高電圧を印加するには、高電圧ノードを選択的にするか、各フューズ素子のウェル領域をそれぞれ分離して接地点Vssを選択的にする必要があり、何れの場合も回路的、パターン面積的にペナルティーが大きい。これに対し、複数のフューズ素子の共有ウェル領域から高電圧を印加すれば、回路的、パターン面積的に小さくて済む。

【0043】【第2の実施の形態】図2乃至図4はそれぞれ、この発明の第2の実施の形態に係るフューズ回路について説明するためのもので、フューズ素子にキャパシタを使用した電気フューズシステムの回路構成例を示している。図5及び図6はそれぞれ上記図2乃至図4に示した回路におけるリード動作時のタイミングチャートである。

【0044】図2及び図4において前記図1と同一構成部には同じ符号を付してその詳細な説明は省略する。

【0045】図2に示す回路が図1に示した回路と異なるのは、フューズ判定回路の制御回路50及びリード用VBP回路80が付加されている点、上記フューズ判定回路の制御回路50を設けたのに伴って、フューズ判定回路20'の論理構成を変えた点、リード用電源回路19'の構成を変えた点、プログラム制御回路18'の具

10

20

30

40

50

体的な論理構成を示した点などである。

【0046】すなわち、フューズ判定回路の制御回路50は、インバータ51～54と NANDゲート55～57により構成されている。プログラムイネーブル信号PROGEnは、インバータ51の入力端及び NANDゲート55の一方の入力端に供給される。上記インバータ51から出力されるプログラムイネーブル信号PROGEnの反転信号bPROGEnは、フューズ判定回路20'に供給される。また、プログラム制御回路選択信号BLOCKselは、上記インバータ52を介して上記NANDゲート55の他方の入力端に供給される。このNANDゲート55の出力信号は、NANDゲート56の一方の入力端に供給される。上記NANDゲート56の他方の入力端には、リード制御信号AFSETOKが供給されており、その出力信号はNANDゲート57の一方の入力端に供給される。上記NANDゲート57の他方の入力端には、フューズ回路を一時的もしくは恒久的に停止するためのフューズ回路停止信号bAFKILLが供給され、その出力信号はインバータ53の入力端に供給される。上記インバータ53は、フューズ判定回路切断信号bAFCLOSEを上記トランジスタQ2のゲートに供給するとともに、この信号をインバータ54に供給する。上記インバータ54の出力信号AFCLOSEが、フューズ判定回路20'に供給される。

【0047】また、フューズ判定回路20'は、オアゲート60とNANDゲート61、62とから構成されている。上記オアゲート60の一方の入力端には、上記インバータ54から出力される信号AFCLOSEが供給され、他方の入力端には上記NANDゲート62から出力される信号AFUSEnが供給される。このオアゲート60の出力信号は上記NANDゲート61の一方の入力端に供給されており、このNANDゲート61の他方の入力端には上記インバータ51から出力される信号bPROGEnが供給される。上記NANDゲート61から出力される信号bAFUSEは、トランジスタQ2の電流通路の一端及びNANDゲート62の一方の入力端に供給される。上記NANDゲート62の他方の入力端には、プリチヤージ信号AFPRCHと逆相の信号bAFPRCHが供給されるようになっている。この信号bAFPRCHは、信号bAFKILLと信号bAFSETが供給されるNANDゲート63と、このNANDゲート63の出力信号を反転するインバータ64とによって生成される。

【0048】プログラム制御回路18'は、NANDゲート70～74とインバータ75～78によって構成されている。リード制御信号AFSETOKとペリファイ制御信号AFVERIの反転信号bAFVERIは、NANDゲート70に供給され、このNANDゲート70の出力信号がインバータ75を介してNANDゲート73の一方の入力端に供給される。プログラムイネーブル信号PROGEnとプログラム制御回路選択信号BLOCKsel

1は、 NANDゲート7 1に供給され、この NANDゲート7 1の出力信号がインバータ7 6を介して NANDゲート7 2の一方の入力端及び NANDゲート7 4の第1の入力端に供給される。プログラムパルス制御信号PULSE_{cnt}は、上記 NANDゲート7 2の他方の入力端に供給されるとともに、インバータ7 8を介して NANDゲート7 4の第2の入力端に供給される。ベリファイ制御信号AFVERIは、上記 NANDゲート7 4の第3の入力端に供給されるとともに、インバータ7 9に供給されて反転信号bAFVERIが生成される。

【0049】そして、上記 NANDゲート7 3から出力される信号PULSEと、この信号をインバータ7 7で反転した信号bPULSEとがそれぞれ、電源変換回路制御信号として電源変換回路1 4に供給される。また、上記 NANDゲート7 4の出力信号がベリファイ出力回路1 5に供給されるようになっている。

【0050】リード用VBP回路8 0は、電流通路の一端が電源Vccに接続され、電流通路の他端が電源変換回路1 4のVBPノードに接続され、ゲートに電源発生回路制御信号AFNGTが供給されるNMOSトランジスタQ 3 0で構成されている。

【0051】更に、プログラム制御回路1 8'は、PMOSトランジスタQ 3 1、NMOSトランジスタQ 3 2、 NANDゲート8 1及びインバータ8 2で構成されている。NANDゲート8 1には、ベリファイ制御信号AFVERIの反転信号bAFVERIとリード制御信号AFSETOKが供給され、その出力信号がインバータ8 2を介してPMOSトランジスタQ 3 1のゲートに供給される。このPMOSトランジスタQ 3 1の電流通路の一端は電源Vccに接続され、電流通路の他端はNMOSトランジスタQ 3 2の電流通路の一端に接続されている。上記MOSトランジスタQ 3 2の電流通路の他端はフューズ素子としてのキャパシタQ 1の他方の電極に接続され、ゲートには電源発生回路制御信号AFNGTが供給される。

【0052】図3は、上記図2に示したフューズ判定回路2 0'について詳しく説明するためのもので、(a)図は論理回路図、(b)図はその詳細な回路構成を示す回路図である。(b)図に示す如く、この回路はNMOSトランジスタQ 4 1、Q 4 3～Q 4 8、Q 5 0、Q 5 1とPMOSトランジスタQ 4 2、Q 4 5、Q 4 6、Q 4 9、Q 5 2とで構成されている。PMOSトランジスタQ 4 1の電流通路の一端とゲートは電源Vccに接続されている。このPMOSトランジスタQ 4 1の電流通路の他端と接地点Vss間に、PMOSトランジスタQ 4 2及びNMOSトランジスタQ 4 3、Q 4 4の電流通路が直列接続されている。また、上記PMOSトランジスタQ 4 1の電流通路の他端には、PMOSトランジスタQ 4 5の電流通路の一端が接続されている。このPMOSトランジスタQ 4 5の電流通路の他端には、PM

10

20

30

40

50

OSトランジスタQ 4 6の電流通路の一端が接続され、電流通路の他端は上記PMOSトランジスタQ 4 2とNMOSトランジスタQ 4 3の電流通路の接続点に接続される。上記NMOSトランジスタQ 4 3、Q 4 4の電流通路の接続点には、NMOSトランジスタQ 4 7の電流通路の一端が接続され、その電流通路の他端は接地点Vssに接続されている。上記PMOSトランジスタQ 4 2とNMOSトランジスタQ 4 3のゲートには、プログラムマイネーブル信号PROG enの反転信号bPROG enが供給され、上記PMOSトランジスタQ 4 5とNMOSトランジスタQ 4 7のゲートには、フューズ判定回路切断信号bAFCLOSEが供給される。そして、上記PMOSトランジスタQ 4 2、Q 4 6とNMOSトランジスタQ 4 3の電流通路の接続点から信号bAFUSEnを出力するようになっている。

【0053】また、PMOSトランジスタQ 4 8の電流通路の一端とゲートは電源Vccに接続されている。このPMOSトランジスタQ 4 8の電流通路の他端と接地点Vss間に、PMOSトランジスタQ 4 9及びNMOSトランジスタQ 5 0、Q 5 1の電流通路が直列接続されている。上記PMOSトランジスタQ 4 8の電流通路の他端には、PMOSトランジスタQ 5 2の電流通路の一端が接続され、このPMOSトランジスタQ 5 2の電流通路の他端は、上記PMOSトランジスタQ 4 9とNMOSトランジスタQ 5 0の電流通路の接続点に接続される。上記PMOSトランジスタQ 4 9とNMOSトランジスタQ 5 0のゲートには、上記信号bAFUSEnが供給され、上記PMOSトランジスタQ 5 2とNMOSトランジスタQ 5 1のゲートには、プリチャージ信号AFPRCHと逆相の信号bAFPRCHが供給される。そして、上記PMOSトランジスタQ 4 9、Q 5 2とNMOSトランジスタQ 5 0の電流通路の接続点から信号AFUSEnを出力するとともに、上記NMOSトランジスタQ 4 4と上記PMOSトランジスタQ 4 6のゲートに供給するようになっている。

【0054】上述した図3のフューズ判定回路2 0'の詳細な回路例において、NMOSトランジスタQ 4 1、Q 4 8を設け、電源電圧としてこれらNMOSトランジスタのしきい値落ちした電位(Vcc-VthN)を用いているのは、次のような理由によるものである。すなわち、リード動作でフューズ素子Q 1が破壊状態の時には信号bAFUSEnを“H”レベルに充電するが、この時の“H”レベル状態はゲートに電源電圧Vccが印加されているNMOSトランジスタQ 4によってVcc-VthNの電位までしか上昇しない。このため、フューズ判定回路2 0'の電源電圧をVccにすると、信号bAFPRCHを“L”レベル(Vss)から“H”レベル(Vcc)にして信号bAFUSEnの“H”レベル(Vcc-VthN)によってフューズ判定回路2 0'を反転させる時の初期状態では、2入力NANDロ

ジックはPMOSトランジスタ、NMOSトランジスタ共にオン状態となり、信号A F U S E nを“L”レベル(V_{ss})にするのが遅れ、誤ったデータをラッチしてしまう可能性があるためである。

【0055】図4は、上記図2に示した回路の変形例を示している。この回路は、フューズラッチ回路17に代えて、インバータ98、99を用いるもので、この回路変更に伴ってフューズ判定回路の制御回路50'の論理構成の一部を変えている。他の基本的な構成は図2に示した回路と同様であり実質的に同様な動作を行う。

【0056】すなわち、フューズ判定回路の制御回路50'は、インバータ91～94と NANDゲート95～97で構成されている。プログラムマイネーブル信号P R O G e nは、インバータ91の入力端及び NANDゲート95の一方の入力端に供給される。上記インバータ91から出力されるプログラムマイネーブル信号P R O G e nの反転信号b P R O G e nは、フューズ判定回路20'に供給される。また、プログラム制御回路選択信号B L O C K s e lは、上記NANDゲート95の他方の入力端に供給される。このNANDゲート95の出力信号は、NANDゲート96の一方の入力端に供給される。上記NANDゲート96の他方の入力端には、フューズ回路を一時的もしくは恒久的に停止するためのフューズ回路停止信号b A F K I L sが供給される。このフューズ回路停止信号b A F K I L sは、NANDゲート97の第1の入力端に供給され、第2の入力端にはリード制御信号A F S E T O Kが供給される。上記NANDゲート96の出力信号A F C L O S Eは、フューズ判定回路20'に供給されるとともに、インバータ92を介して上記NANDゲート97の第3の入力端に供給される。このNANDゲート97の出力信号は、インバータ94を介し、フューズ判定回路切断信号b A F C L O S EとしてNMOSトランジスタQ2のゲートに供給される。

【0057】次に、上記のような構成の電気フューズシステムの動作を説明する。

【0058】プログラム(フューズ素子破壊)動作は、プログラムマイネーブル信号P R O G e nを“H”レベルにして電気フューズシステムを動作可能にすると共に、プログラムマイネーブル信号の反転信号b P R O G e nの“L”レベルを受けて信号A F U S E nは“H”レベルに充電される。同時に、フューズ判定回路切断信号b A F C L O S Eは“L”レベルから“H”レベルになるためトランジスタQ2はオンになり、フューズ判定回路20'とフューズ素子Q1を電気的に接続する。これにより、全てのフューズセット12内のトランジスタQ4の両端はV_{cc}-V_{thN}に充電される。ここで、全てのフューズセット12内のトランジスタQ4の両端をV_{cc}-V_{thN}に充電するのは、ストレス信号P R O Gが全てのフューズセット12に共通に接続されているのでプログラム動作中に非選択のフューズ素子Q3に印加

されるストレス(電位差)を緩和し、信頼性や特性向上するためである。

【0059】次に、プログラムしたいフューズ素子Q1のアドレスをフューズ・アドレス・デコーダ11に入力してフューズ選択信号A D D nを“H”レベルにし、トランジスタQ3をオンさせることでプログラムを行いたい複数個のフューズセット12の中から所望のフューズセットを選択する。同時に、チップ上に複数組存在するフューズセットを選択するフューズセット選択アドレスにより、信号B L O C K s e lを“H”レベルにする。信号B L O C K s e lが“H”レベルになることで信号b A F C L O S Eは“L”レベルになり、トランジスタQ2をオフし、選択されたフューズセット内のフューズ判定回路20'をフューズ素子Q1から切断する。

【0060】次に、プログラムパルス制御信号P U L S E c n tを“H”レベルにして、トランジスタQ6をオンさせ、V B Pから接地点V_{ss}に電流パスを確保するとともに、電源変換回路制御信号P U L S Eとb P U L S Eをそれぞれ“H”レベルと“L”レベルにし、ストレス信号P R O GをV B P電位にして、フューズ素子Q1にストレスを印加する。この時、ベリファイ制御信号A F V E R Iとリード制御信号A F S E T O Kは共に“L”レベル、ベリファイ制御信号A F V E R Iの反転信号b A F V E R Iは“H”レベルであるため、リード用電源回路19'は動作しない。また、この時、電源発生回路制御信号A F N G TはV_{cc}レベルにしておき、V B PをV_{cc}以上に昇圧しても、リード用電源回路19'ではPMOSトランジスタにV_{cc}以上の高電圧が印加されることがないので、信頼性特性の問題がなくなり、リード用V B P回路80ではNMOSトランジスタがカットオフするためV B PとV_{cc}が導通しない。

【0061】また、ベリファイ(破壊確認)動作は、上記プログラム動作と同様に、ベリファイしたいフューズ素子Q1のアドレスをフューズ・アドレス・デコーダ11に入力して選択する。ここで、プログラム動作と異なるのはV B Pの電位をフローティングもしくはストレス信号P R O Gと同じ電位にすること、及び信号A F N G TをV_{cc}+V_{thN}以上の電位にすることである。これをリード用の電源として使用する。次に、プログラム制御回路18'に信号P R O G e nと信号B L O C K s e lを“H”レベル、信号P U L S E c n tを“L”レベル、ベリファイ制御信号A F V E R Iを“H”レベルにして入力し、信号P R O Gとベリファイ出力間に電流パスを確保する。また、信号A F V E R Iが“H”レベルで信号P U L S E、b P U L S Eはそれぞれ“H”レベル、“L”レベルとなり電源変換回路14の出力はフローティングになるが、リード用電源回路19'により信号P R O GはV_{cc}レベルに充電される。ここでフューズ素子Q1が破壊されていればトランジスタQ5を介してV_{cc}とベリファイ出力との間にD C的な電流パス

21

が発生するため、例えば外部パッド等で電流モニタが可能となる。

【0062】なお、リード用VBP回路80は、VBPがフローティングの場合に信号PROGと同電位を発生する回路であり、VBPの電位が信号PROGよりも低くなると電源変換回路14内のPMOSトランジスタで発生するPN接合の順方向電流を防止するものである。また、信号AFNGTをVcc+VthN以上の電位にすることは、破壊後のフューズ素子Q1の両端に加える電位差を大きくして、より大きなリード電流を確保するためである。

【0063】次に、図5及び図6のタイミングチャートによりリード（フューズ素子の破壊／非破壊状態の読み出し）動作を説明する。図5はプログラム後、図6はプログラム前のタイミングチャートである。まず、ベリファイ動作と同様にVBPの電位をフローティングもしくは信号PROGと同じ電位にし、合わせて信号AFNGTをVcc+VthN以上の電位にして、これをリード用の電源として使用する。またプログラム制御回路18'に入力される各信号PROGen, BLOCSel, PULSEcnt, AFVERI及びADDnは、いずれも“L”レベルにしておく。リード開始は、リード制御信号に同期してフューズ判定回路20'のセット信号bAFSETを“L”レベルして、フューズ判定回路20'のプリチャージ信号bAFPRCHを“L”レベルにする。これにより、信号AFUSEnを“H”レベルに充電し、信号bAFUSEnを“L”レベルにしてラッチし、合わせて信号bAFPRCHが“L”レベルで且つフューズラッチ信号AFATCHも“L”レベルのため、信号FINTも“H”レベルに充電されてラッチされる。また、リード完了信号AFSETOKを“L”レベルにすることで、リード用電源回路19'により信号PROGをVcc電位に充電してフューズ素子Q1に電位を印加し、信号bAFCLOSEを“H”レベルにしてフューズ素子Q1とフューズ判定回路20'の転送ゲートであるトランジスタQ2をオンしプログラム時と同じ方向に電流を流す。

【0064】ここで、信号bAFPRCHを“L”レベルの期間に信号bAFCLOSEを“H”レベルにするのは、信号AFSETOKが“L”レベルでリード用電源回路19'は信号PROGをVcc電位に充電するが、プログラムされていないフューズセットではフューズ素子Q1により信号PROGとトランジスタQ4が容量結合しているため、信号PROGをVcc電位に充電する時にトランジスタQ4の両端の電位が浮いてしまうので、信号bAFPRCHは“H”レベルの状態ではフューズ判定回路20'の状態が反転してしまう可能性があるため、フューズ判定回路20'により接地点Vssに引き抜くためである（図5、図6の①の期間）。

【0065】信号bAFUSEnの“L”レベルラッチ

10

と信号FINTの“H”レベルラッチが確定した後に、信号bAFSETを“H”レベルにすることで、信号bAFPRCHを“H”レベルにして信号AFUSEn, bAFUSEnのセットを終了し、フューズ判定回路20'で信号bAFUSEnのレベルを検知して信号AFUSEnを確定する。この時、フューズ素子Q1が破壊状態の時には、信号bAFUSEnは信号PROGに導通して“H”レベル（この場合Vcc）になり、フューズ判定回路20'の状態を反転させて信号AFUSEnを“L”レベルにする。また、フューズ素子Q1が非破壊状態の時には、信号bAFUSEnは“L”レベル、信号AFUSEnは“H”レベルを維持する（図5、図6の②）。

【0066】続いて、フューズ判定回路20'でフューズ素子Q1の破壊／非破壊状態を判定し、信号AFUSEn, bAFUSEnのレベルを確定後、信号AFATCHを“H”レベルにして、信号AFUSEnが“H”レベル（破壊状態）なら信号FINTを“L”レベルに引き抜きラッチし、信号AFUSEnが“L”レベル（非破壊状態）なら信号FINTを“H”レベルのままでラッチして、それぞれの状態をフューズラッチ回路17から出力する（図5、図6の③の期間）。

【0067】上述したような一連の動作が終了後、信号AFSETOKを“H”レベルにして信号PROGをVssレベルにし、トランジスタQ2をオフしてリード動作を終了する（図5、図6の④の期間）。

【0068】上記リード開始信号は、従来例のように電源電圧Vccの立ち上がりに同期して発生しても良いが、電源電圧Vccが定格の電位まで上昇して充分安定してからリード開始信号を出力する構成にすることで、破壊後のフューズ素子Q1のリード電流をより大きく確保することが可能になる。例えば、一般的に半導体装置は電源電圧Vccの投入直後に各内部電源発生回路を駆動して各内部電源を立ち上げる。その後、各内部電源が所定の電位になったことを内部回路で検知して通常動作の開始を可能にする信号を出力し、この信号を受け各内部回路は動作可能になるよう設定している。つまり、この状態では電源電圧Vccは充分に定格の電位まで上昇し且つ安定しているので、この各内部回路の動作可能信号に同期して上記リード開始信号を出力する。

【0069】また、例えばラムバスDRAMのように、一連の通常動作を開始する毎に内部信号を初期状態にリセットするような信号を発生するデバイスでは、そのリセット信号に同期してリード開始信号を発生することで、より安定した状態の電源電圧でリード動作を行うことが可能である。しかも、一連の通常動作を開始する毎にフューズ回路のセットを行うので、仮に通常動作中にノイズ等の影響でフューズ回路が誤動作を起こしたとしてもセットし直すことが可能なため、フューズ回路の動作信頼性が向上する。

22

23

【0070】更に、図2に示した実施の形態では、フューズ素子Q1の破壊／非破壊状態を検知するフューズセット12をフューズ判定回路20' とフューズラッチ回路17で構成したが、フューズ判定回路の制御回路50' を図4に示す変形例のような構成にすることでフューズラッチ回路17を配置する必要がなくなり、回路構成の簡単化が図れる。

【0071】なお、図4ではインバータ98, 99を設けたが、一方だけ設けても良い。

【0072】また、上述した第1, 第2の実施の形態ではフューズ素子としてトレンチキャパシタを使用したが、例えばスタック構造やMOS構造等の他の構造のキャパシタについても同様の効果が得られる。また、いわゆるアンチフューズでは無い電気フューズを用いても出力F S O U T nの極性が逆になるだけで実使用において何の問題も無い。

【0073】以上第1及び第2の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0074】

【発明の効果】以上詳述したようにこの発明によれば、リード動作時及びベリファイ動作時に電気フューズ素子を流れる電流方向をプログラム動作時と同じにして安定動作を確保すると共に、電気フューズ素子の信頼性向上できるフューズ回路が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係るフューズ回

24

路について説明するためのもので、電気フューズ素子にキャパシタを使用した電気フューズシステムの回路構成例を示す回路図。

【図2】この発明の第2の実施の形態に係るフューズ回路について説明するためのもので、電気フューズ素子にキャパシタを使用した電気フューズシステムの回路構成例を示す回路図。

【図3】図2に示した回路におけるフューズ判定回路の具体的な構成例について説明するための図。

【図4】この発明の第2の実施の形態に係るフューズ回路の変形例について説明するためのもので、フューズ素子にキャパシタを使用した電気フューズシステムの回路構成例を示す回路図。

【図5】図2乃至図4に示した回路におけるリード動作時（プログラム後）のタイミングチャート。

【図6】図2乃至図4に示した回路におけるリード動作時（プログラム前）のタイミングチャート。

【図7】電気フューズ素子にキャパシタを使用した従来の電気フューズシステムの回路構成例を示す図。

【図8】図7に示した回路における電気フューズ素子（キャパシタ）の構成例を示す断面図。

【符号の説明】

1 1 …フューズ・アドレス・デコーダ、

1 2 …フューズセット（FuseSet）、

1 4 …電源変換回路、

1 5 …ベリファイ出力回路、

1 7 …フューズラッチ回路、

1 8 …プログラム／リード制御回路、

1 8' …プログラム制御回路、

1 9, 1 9' …リード用電源回路、

2 0, 2 0' …フューズ判定回路、

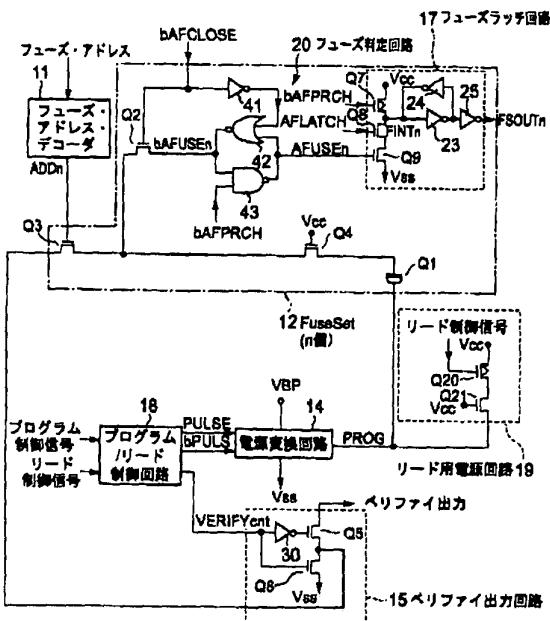
5 0, 5 0' …フューズ判定回路の制御回路、

8 0 …リード用V B P回路、

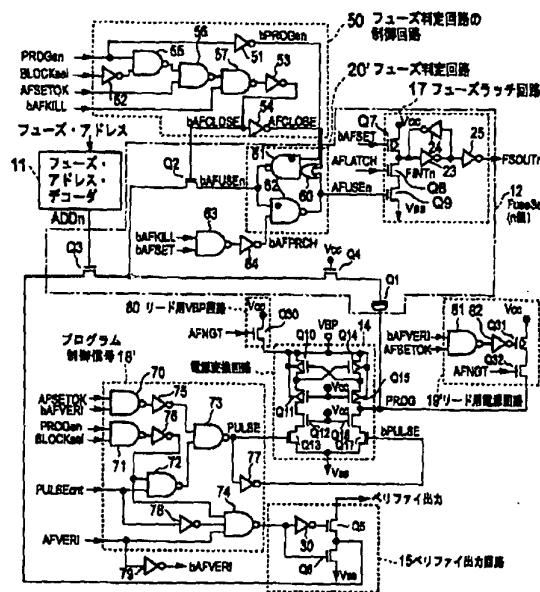
Q 1 …電気フューズ素子（キャパシタ）、

Q 2 ~ Q 6 …NMOSトランジスタ。

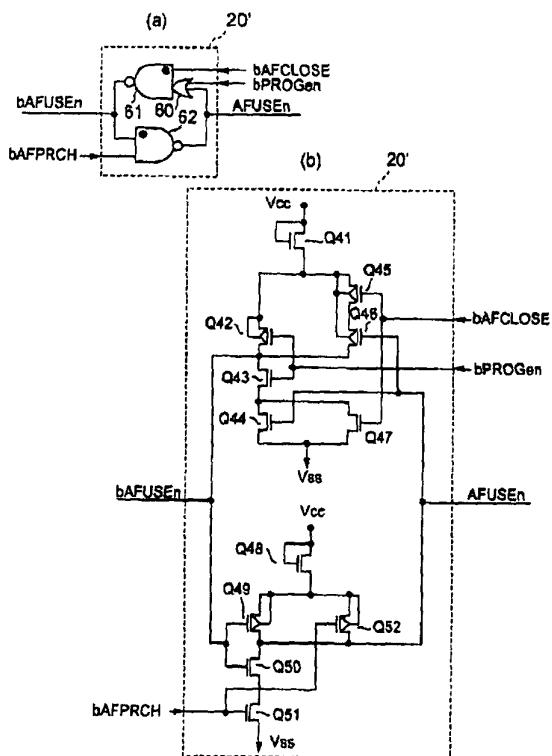
【図1】



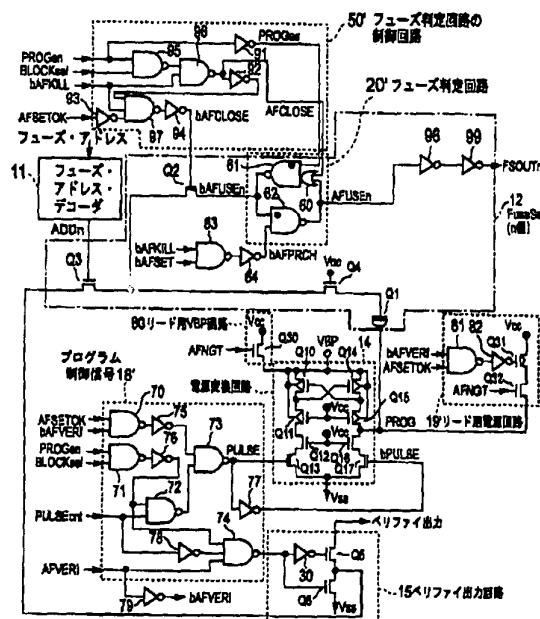
【図2】



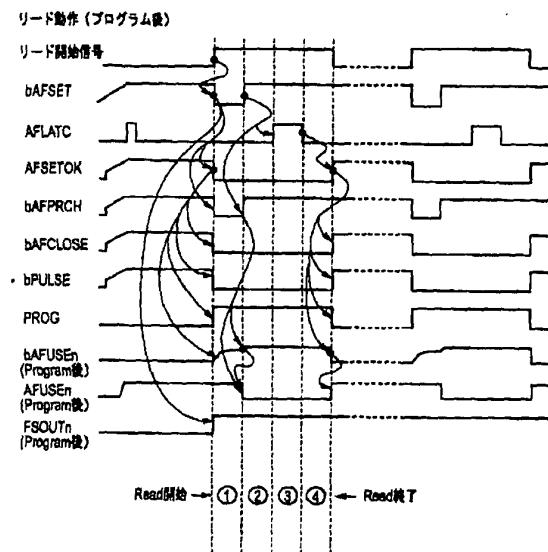
【図3】



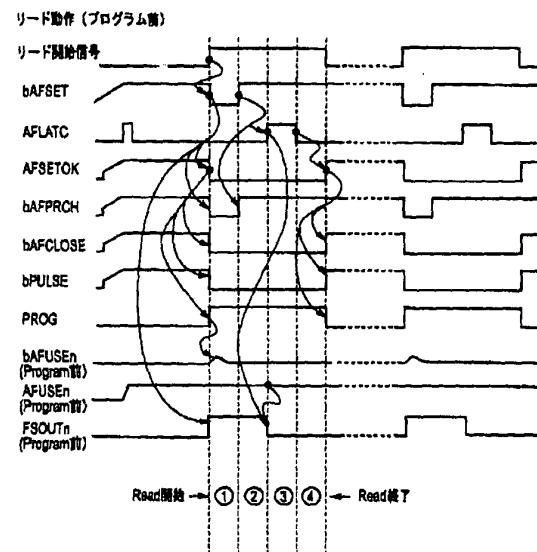
【図4】



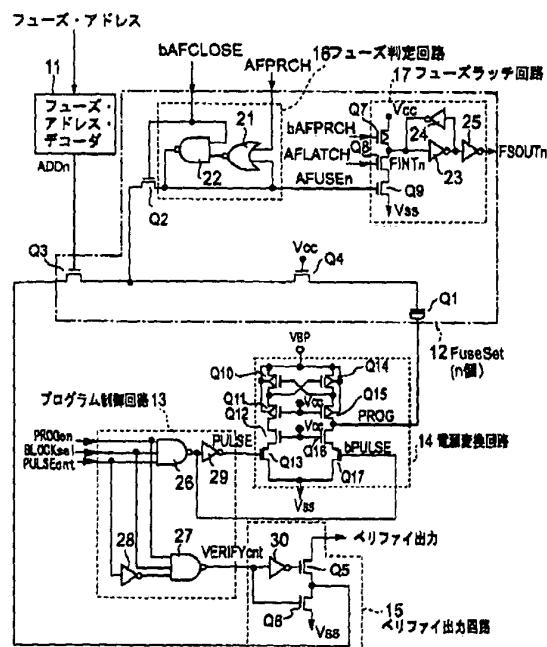
【図5】



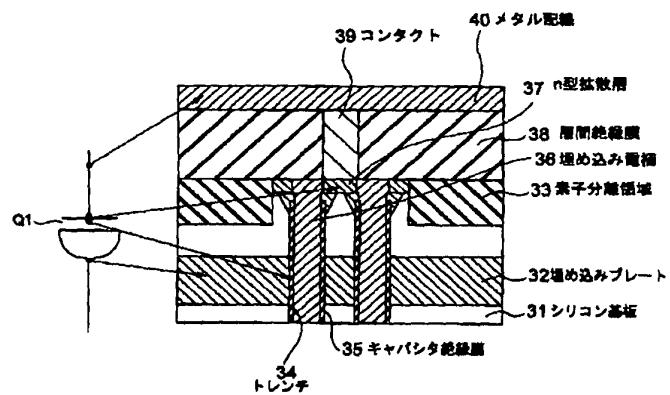
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 小柳 勝
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

Fターム(参考) 5F064 BB05 BB30 CC09 CC23 FF26
 FF46